



⑯ Offenlegungsschrift
⑯ DE 195 35 140 A 1

⑯ Int. Cl. 6:
H 01 L 29/78
H 01 L 21/336

SC 11342 ZP C01
AK

⑯ Aktenzeichen: 195 35 140.1
⑯ Anmeldetag: 21. 9. 95
⑯ Offenlegungstag: 28. 3. 96

⑯ Unionspriorität: ⑯ ⑯ ⑯
21.09.94 JP P 6-226882

⑯ Anmelder:
Fuji Electric Co., Ltd., Kawasaki, Kanagawa, JP

⑯ Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwahnhäusser,
Anwaltssozietät, 80538 München

⑯ Erfinder:
Kitamura, Akio, Kawasaki, Kanagawa, JP; Fujishima,
Naoto, Kawasaki, Kanagawa, JP

⑯ Lateraler MOSFET mit hoher Stehspannung und einem Graben sowie Verfahren zu dessen Herstellung

⑯ Ein Lateral-MOSFET mit hoher Stehspannung und einem Graben weist eine Halbleiterschicht vom ersten Leitfähigkeitstyp, einen Sourcebereich vom zweiten Leitfähigkeitstyp und einen Draindriftbereich vom zweiten Leitfähigkeitstyp auf. Der Sourcebereich vom zweiten Leitfähigkeitstyp und der Draindriftbereich vom zweiten Leitfähigkeitstyp werden in einem Bereich einer Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitstyp beabstandet voneinander gebildet. Ein Graben ist in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitstyp von dessen Oberseite her eingebracht. Ein Drainbereich vom zweiten Leitfähigkeitstyp ist in der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitstyp gegenüberliegend vom Sourcebereich vom zweiten Leitfähigkeitstyp bezogen auf den Graben angeordnet und überlappt teilweise den Draindriftbereich vom zweiten Leitfähigkeitstyp. Auf der Oberfläche eines oberflächlich freigelegten Bereichs der Halbleiterschicht vom ersten Leitfähigkeitstyp ist über einer Gateoxidschicht eine Gateelektrode angeordnet. Weiterhin sind entsprechend auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitstyp und des Drainbereichs vom zweiten Leitfähigkeitstyp eine Sourceelektrode und eine Drainelektrode angeordnet.

DE 195 35 140 A 1

Beschreibung

Die vorliegende Erfindung betrifft einen Lateral-MOSFET (Metall-Oxid-Halbleiter Feldeffektransistor) mit einem Graben, der eine hohe Stehspannung und einen niedrigen Durchlaßwiderstand aufweist. Dieser Transistor wird als separate Einheit oder in einer integrierten Schaltung (IC), wie einem Netzteil-IC, einem Motortreiber-IC, einer Flüssigkristalltreiber-IC oder dergleichen verwendet.

In zwei Berichten wird über einen Lateral-MOSFET mit Grabenstruktur berichtet.

In der ungeprüften japanischen Patentveröffentlichung Nr. Hei 6-97450 ist ein erstes Beispiel für einen Lateral-MOSFET mit Grabenstruktur offenbart, wobei ein RESURF-DMOS-Transistor vom Top-Drain-Grabenotyp dargestellt ist. In einem solchen sind Diffusionschichten für Source und Basis auf einer Seitenfläche eines Grabens gebildet. Die Oberfläche der Diffusionschichten sind mit einem dünnen Gateoxidfilm bedeckt. Eine Gateelektrode ist in dem Graben vergraben. Zusätzlich ist eine Draindriftschicht auf der anderen Seitenfläche des Grabens gebildet, deren Oberfläche mit einer dicken Oxidschicht bedeckt ist.

Ein zweites Beispiel eines Lateral-MOSFETs mit Grabenstruktur ist ein TDD (Graben mit doppel diffundiertem Drain)-MOSFET siehe Sakai et al. The Institute of Electrical Engineers of Japan, Research Paper EDD-92-92. Fig. 13 zeigt einen Schnitt durch einen solchen MOSFET. Ein Basisbereich 8 vom p-Typ und ein Sourcebereich 9 vom n-Typ sind durch Doppeldiffusion selbstjustierend in einer Oberflächenschicht eines epitaktischen Substrats 16 mit einer Halbleiterschicht 16 vom n-Typ auf einem n⁺-Typ Substrat gebildet. Ein Graben 3 ist in einem Drainbereich gebildet. Ein Drainbereich 11 vom n-Typ ist von einer Innenwand des Grabens 3 eindiffundiert. Anschließend wird eine Drainelektrode 15 auf der Innenfläche des Grabens 3 gebildet. Wird eine positive Spannung an eine Gateelektrode 7 angelegt, die auf einem Gateoxidfilm 6 auf der Oberfläche des Basisbereichs 8 vom p-Typ zwischen dem Sourcebereich 9 vom n-Typ und der Halbleiterschicht vom n-Typ angeordnet ist, sind eine auf den Sourcebereich 9 vom n-Typ vorgesehene Sourceelektrode 14 und die Drainelektrode 15 elektrisch miteinander in Kontakt.

Bei dem oben genannten ersten Beispiel kann tatsächlich die Zelleilung, die der Größe pro Einheit entspricht, reduziert werden. Allerdings müssen zwei Arten von Oxidschichten links und rechts in einem Graben gebildet werden, so daß der Herstellungsprozeß sehr aufwendig wird. Bei dem Aufbau des zweiten Beispiels wird andererseits ein Graben zur Verminderung eines Drainkontaktwiderstandes gebildet. Allerdings kann der Durchlaßwiderstand nur maximal um 5% reduziert werden, wie in dieser Druckschrift angegeben.

Der Erfindung liegt daher die Aufgabe zugrunde, einen lateralen MOSFET mit hoher Stehspannung bereitzustellen, bei dem ein Grabenschritt einem gewöhnlichen Bi-CDMOS-Verfahren ohne ein oben erwähntes, aufwendiges Verfahren hinzugefügt wird, so daß die Einschränkungen in der Charakteristik der Stehspannung und des Durchlaßwiderstandes der Einheit verbessert werden können.

Zur Lösung der Aufgabe wird gemäß einem ersten Ausführungsbeispiel der Erfindung ein Lateral-MOSFET mit hoher Stehspannung und mit einem Graben bereitgestellt, der aufweist: einen Sourcebereich vom zweiten Leitfähigkeitsyp und einen Draindriftbereich

vom zweiten Leitfähigkeitsyp, welche in einem Bereich einer Oberflächenschicht einer Halbleiterschicht vom ersten Leitfähigkeitsyp abstandet voneinander gebildet sind; einen in einer Oberflächenschicht des Draindriftbereichs des zweiten Leitfähigkeitsyps von dessen Oberseite gebildeten Graben; einen Drainbereich vom zweiten Leitfähigkeitsyp, der in der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsyp gegenüber liegend zum Sourcebereich vom zweiten Leitfähigkeitsyps relativ zum Graben und teilweise überlappend mit dem Draindriftbereich des zweiten Leitfähigkeitsyps gebildet ist; eine Gateelektrode, die auf der Oberfläche eines oberflächlich freiliegenden Bereichs der Halbleiterschicht vom ersten Leitfähigkeitsyp über eine Gateoxidschicht aufgetragen ist; und eine Source- und eine Drainelektrode, welche entsprechend auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitsyps und auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitsyps gebildet sind.

Gemäß eines weiteren Ausführungsbeispiels der vorliegenden Erfindung ist ein Lateral-MOSFET mit hoher Stehspannung und einem Graben gebildet, welcher aufweist: einen Basisbereich vom ersten Leitfähigkeitsyp, der in einem Bereich einer Oberflächenschicht einer Halbleiterschicht vom ersten Leitfähigkeitsyps gebildet ist; einen Sourcebereich vom zweiten Leitfähigkeitsyp, der selbstjustierend in einem Bereich einer Oberflächenschicht des Basisbereichs vom ersten Leitfähigkeitsyp gebildet ist; einen Draindriftbereich eines zweiten Leitfähigkeitsyps, der in einem Bereich der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsyp gebildet ist; einen Graben, der in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsyps von dessen Oberseite gebildet ist; einen Drainbereich vom zweiten Leitfähigkeitsyp, der in der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsyp gegenüberliegend zum Basisbereich des ersten Leitfähigkeitsyps relativ zum Graben und teilweise überlappend mit dem Draindriftbereich des zweiten Leitfähigkeitsyps gebildet ist; eine Gateelektrode, die auf der Oberfläche eines oberflächlich freigelegten Bereichs des Basisbereichs vom ersten Leitfähigkeitsyps über einen Gateoxidfilm gebildet ist; und eine Source- und Drainelektrode, welche entsprechend auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitsyps und auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitsyps gebildet sind.

Gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung wird ein Lateral-MOSFET mit hoher Stehspannung und einem Graben bereitgestellt, welcher aufweist: einen Basisbereich von einem ersten Leitfähigkeitsyp, welcher in einem Bereich einer Oberflächenschicht einer Halbleiterschicht von einem zweiten Leitfähigkeitsyp gebildet ist; einen Sourcebereich des zweiten Leitfähigkeitsyps, welcher selbstjustierend in einem Bereich einer Oberflächenschicht des Basisbereichs vom ersten Leitfähigkeitsyp gebildet ist; einen Draindriftbereich des zweiten Leitfähigkeitsyps, der in einem Bereich der Oberflächenschicht der Halbleiterschicht vom zweiten Leitfähigkeitsyp gebildet ist; einen Graben, der in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsyps von dessen Oberseite her gebildet ist; einen Drainbereich vom zweiten Leitfähigkeitsyp, der in der Oberflächenschicht der Halbleiterschicht vom zweiten Leitfähigkeitsyp gegenüberliegend zum Basisbereich vom ersten Leitfähigkeitsyp relativ zum Graben und partiell überlappend mit dem Draindriftbereich des zweiten Leitfähigkeits-

typs gebildet ist; eine Gateelektrode, die auf einer Oberfläche eines oberflächlich freigelegten Bereichs des Basisbereichs des ersten Leitfähigkeitsstyps über eine Gateoxidschicht gebildet ist; und eine Source- und einer Drainelektrode, welche entsprechend auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitsstyp und auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitsstyp gebildet sind.

Vorzugsweise ist ein Kanalbereich vom ersten Leitfähigkeitsstyp in einer Oberflächenschicht direkt unter der Gateelektrode zwischen dem Sourcebereich vom zweiten Leitfähigkeitsstyp und dem Graben gebildet.

Weiterhin von Vorteil ist ein Auffüllen des Grabens mit einer isolierenden oder einer halbisolierenden Schicht.

Bei einem günstigen Ausführungsbeispiel ist die Gateelektrode bis über den Graben verlängert.

Von Vorteil ist, wenn die Tiefe des Grabens größer als dessen Breite ist und eine Vielzahl von Gräben und eine Vielzahl von Draindriftbereichen des zweiten Leitfähigkeitsstyps in Reihe gebildet sind.

Bei einem Verfahren zur Herstellung eines solchen Lateral-MOSFETs mit hoher Stehspannung wird nach Bilden eines Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht Polysilicium mit Verunreinigungen in den Graben eingebracht und ein Draindriftbereich vom zweiten Leitfähigkeitsstyp durch Diffusion der Verunreinigungen aus dem Polysilicium gebildet.

Nach Bildung des Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht wird ein Draindriftbereich vom zweiten Leitfähigkeitsstyp durch Injektion von Verunreinigungen in schräger Richtung bezüglich einer Innenfläche des Grabens und durch eine nachfolgende Wärmebehandlung gebildet.

Alternativ kann umgekehrt nach Bilden eines Draindriftbereichs vom zweiten Leitfähigkeitsstyp durch Einbringen von Verunreinigungen in einem Bereich einer Oberflächenschicht einer Halbleiterschicht und darauf folgende Wärmebehandlung, ein Graben in einem Bereich einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp gebildet werden.

Wie oben ausgeführt, wird ein Graben in einer Oberflächenschicht eines Draindriftbereichs vom zweiten Leitfähigkeitsstyp von der Seitenfläche her gebildet, so daß die Driftlänge ohne Vergrößerung des Draindriftbereichs vergrößert wird, wodurch sich eine hohe Stehspannung ergibt. Zusätzlich ergibt sich für diesen Lateral-MOSFET mit Graben, daß keine Verminderung eines Strompfades verursacht durch JFET wie bei einem bekannten Lateral-MOSFET auftritt, so daß der Durchlaßwiderstand reduziert werden kann. Als Ergebnis wird die eingeschränkte Charakteristik der Stehspannung und des Durchlaßwiderstandes erheblich verbessert.

Es ist mit anderen Worten möglich, den Draindriftbereich ohne wesentliche Verminderung der Driftlänge zu reduzieren, und es ist möglich, die Zellteilung in hohem Maßstab zu verkleinern.

Dieselben Bedingungen können in einem Lateral-MOSFET, bei dem ein Sourcebereich vom zweiten Leitfähigkeitsstyp selbstjustierend mit einem Basisbereich vom ersten Leitfähigkeitsstyp gebildet wird, oder in einem Lateral-MOSFET, bei dem ein erster Basisbereich vom ersten Leitfähigkeitsstyp in einer Oberflächenschicht eines Wannenbereichs vom zweiten Leitfähigkeitsstyp gebildet ist, erwartet werden.

Wird ein Kanalbereich vom ersten Leitfähigkeitsstyp

in einer Oberflächenschicht einer Halbleiterschicht direkt unter einer Gateelektrode zwischen dem Sourcebereich vom zweiten Leitfähigkeitsstyp und dem Graben gebildet, kann der Schwellwert effektiv gesteuert werden und die Verarmung eines Draindriftbereichs vom zweiten Leitfähigkeitsstyp kann beschleunigt werden.

Wird eine isolierende oder eine teilsolierende Schicht in den Gräben eingefüllt, kann die elektrische Potentialverteilung effektiv gleich gemacht werden, wodurch die Stehspannung hoch wird.

Besonders wenn die Gateelektrode sich bis über den Gräben erstreckt, ergibt sich eine höhere Stehspannung durch den Feldplatteneffekt.

Ist die Tiefe des Grabens größer als dessen Breite oder sind eine Vielzahl von Gräben und eine Vielzahl von Draindriftbereichen vom zweiten Leitfähigkeitsstyp in Reihe gebildet, wird die Drainlängen erhöht, so daß die Stehspannung effektiv höher wird.

Bei einem Verfahren zur Herstellung eines solchen

20 Lateral-MOSFETs mit hoher Stehspannung werden folgende Verfahrensschritte durchlaufen. Nach Bilden eines Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht, wird polykristallines Silicium mit Verunreinigungen in dem Graben abgelagert. Ein 25 Draindriftbereich vom zweiten Leitfähigkeitsstyp wird durch Diffusion der Verunreinigungen aus dem polykristallinen Silicium gebildet. Bei einem anderen Verfahren wird nach Bildung eines Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht, ein Draindriftbereich vom zweiten Leitfähigkeitsstyp durch Injektion von Verunreinigungen schräg in eine Innenfläche des Grabens und anschließende Wärmebehandlung gebildet. Bei einem weiteren umgekehrten Verfahren wird nach Bildung eines Draindriftbereichs vom zweiten 30 Leitfähigkeitsstyp durch Einbringen von Verunreinigungen in einem Bereich einer Oberflächenschicht einer Halbleiterschicht und anschließende Wärmebehandlung, ein Graben in einem Bereich einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp gebildet. Bei jedem dieser Verfahren ist die 35 Anzahl der Verfahrensschritte außer der Schritte zum Bilden eines Grabens nicht groß und ein Draindriftbereich kann sicher gebildet werden.

Im folgenden werden die oben genannten und weitere 40 Aufgaben und Merkmale der vorliegenden Erfindung anhand der in der Zeichnung beigefügten Figuren näher erläutert und beschrieben.

Es zeigen:

Fig. 1 einen Querschnitt eines Hauptbereichs eines 50 Lateral-MOSFETs mit einem Graben gemäß eines ersten Ausführungsbeispiels der Erfindung;

Fig. 2 eine Potentialverteilung in einem Sperrzustand des Lateral-MOSFETs mit einem Graben nach Fig. 1;

Fig. 3A einen Querschnitt eines Hauptbereichs eines 55 Lateral-MOSFETs mit einem Graben gemäß der Erfindung;

Fig. 3B einen Schnitt eines Hauptbereichs eines bekannten Lateral-DMOSFET;

Fig. 4 einen Schnitt eines Hauptbereichs eines Lateral-MOSFET mit einem Graben gemäß einem zweiten Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 5 einen Schnitt durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben gemäß einem dritten Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 6 einen Schnitt durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben gemäß einem vierten Ausführungsbeispiels der vorliegenden Erfin-

dung:

Fig. 7 einen Schnitt durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben gemäß einem fünften Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 8 einen Schnitt durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben gemäß einem sechsten Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 9 einen Schnitt durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben gemäß einem siebten Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 10A bis 10B Schnitte durch einen Hauptbereich eines Lateral-MOSFETs mit verschiedenen Verfahrensschritten zur Erläuterung eines ersten Verfahrens zur Bildung eines Draindriftbereichs eines Lateral-MOSFETs mit einem Graben gemäß der vorliegenden Erfindung;

Fig. 11A bis 11C Schnitte durch einen Hauptbereich mit Verfahrensschritten zur Erläuterung eines zweiten Verfahrens zur Herstellung eines Draindriftbereichs eines Lateral-MOSFETs mit einem Graben gemäß der vorliegenden Erfindung;

Fig. 12A bis 12C Schnitte durch einen Hauptbereich mit Verfahrensschritten zur Erläuterung eines dritten Verfahrens zur Herstellung eines Draindriftbereichs eines Lateral-MOSFETs mit einem Graben gemäß der vorliegenden Erfindung; und

Fig. 13 Schnitte durch einen Hauptbereich eines Lateral-MOSFETs mit einem Graben.

Fig. 1 zeigt einen Querschnitt durch einen Hauptbereich eines Lateral-MOSFET mit einem Graben gemäß einem ersten Ausführungsbeispiel.

Ein Wannenbereich 2 vom p-Typ hat übliche Abmessungen, wobei ein p-Typ Graben eines logischen Bereichs in einer Oberflächenschicht eines p-Typ Substrats 1 mit einem spezifischen Widerstand von $12,5 \Omega \text{cm}$ gebildet ist. Die Oberflächendichte des p-Typ Wannenbereichs 2 ist $1 \times 10^{15} \text{ cm}^{-3}$ und die Diffusionstiefe (x_j) ist $3 \mu\text{m}$. Ein p-Typ Basisbereich 8 und n-Typ Sourcebereich 9 sind in einer Oberflächenschicht des p-Typ Wannenbereichs 2 selbstjustierend durch Doppeldiffusion gebildet. Ein Graben 3 von $1 \mu\text{m}$ Breite und $1 \mu\text{m}$ Tiefe ist in der Oberflächenschicht des p-Typ Wannenbereichs 2 in einer geringen Entfernung vom p-Typ Basisbereich 8 gebildet. Ein n-Typ Draindriftbereich 4 ist auf den Seiten und am Boden des Grabens 3 gebildet. Der Graben 3 ist mit einer Isolationsschicht 5, wie beispielsweise einer Oxidschicht, aufgefüllt. Die Diffusion erfolgt gleichmäßig in Seiten- und Bodenflächen des Grabens 3 mit einer Oberflächendichte von $9 \times 10^{15} \text{ cm}^{-3}$ und einer Diffusionstiefe x_j von ungefähr $1,0 \mu\text{m}$. Eine Gateelektrode 7 aus Polysilicium ist auf der Oberfläche des Substrats 1 über eine Gateoxidschicht 6 aufgetragen. Die Gateelektrode 7 erstreckt sich über den Graben 3 von Seiten des n-Typs Sourcebereichs 9 her um $0,5 \mu\text{m}$. Ein p-Typ Kanalbereich 10 ist auf Oberflächenschichten des p-Typ Basisbereich 8 und des n-Typ Draindriftbereichs 4 direkt unter der Gateelektrode 7 ausgebildet. Auch wenn der p-Typ Kanalbereich 10 zur Justierung der Dichte der Verunreinigungen der Halbleiteroberflächenschicht direkt unterhalb der Gateelektrode 7 verwendet wird und dadurch die Schwellenspannung des MOSFET steuert, ist ein solcher p-Typ Kanalbereich 10 nicht immer vorgesehen. Ein n-Typ Drainbereich 11 ist auf einer Oberflächenschicht des p-Typ Wannenbereichs 2 auf der dem p-Typ Basisbereich 8 bezüglich des

Grabens 3 gegenüberliegende Seite gebildet. Eine Drainelektrode 15 ist mit dem n-Typ Drainbereich 11 in Kontakt. Eine Sourceelektrode 14 steht in Kontakt mit der Oberfläche des n-Typs Sourcebereichs 9.

Der Lateral-MOSFET mit der h hen Stehspannung mit einem Graben und dem oben beschriebenen Aufbau kann eine Source/Drain-Stehspannung von 100 V erreichen. Als Grund für eine solch hohe Stehspannung wird angesehen, daß die Verarmung des n-Typ Draindriftbereichs 4 nahe des n-Typs Sourcebereichs 9 durch den Feldplatteneffekt der Gateelektrode 7 und den die Verunreinigungen in dem p-Typ Basisbereich 8 und dem p-Typ Kanalbereich 10 bildenden Akzeptor beschleunigt wird und daß die Verarmung des Restbereichs des n-Typ Draindriftbereichs 4 auch durch Akzeptoren in dem p-Typ Wannenbereich 2 beschleunigt wird.

Fig. 2 zeigt eine Simulation einer Potentialverteilung bei dem oben genannten Aufbau im Sperrzustand. Eine Spannung von 100 V ist zwischen Source und Drain angelegt. Es zeigt sich, daß alle 10 V eingezeichnete Äquipotentiallinien gleichmäßig im p-Typ Wannenbereich 2, dem n-Typ Draindriftbereich 4 und der isolierenden Schicht 5 verteilt sind.

Zur Durchlaß-Charakteristik sei folgendes bemerkt. Der Durchlaßwiderstand (R_{onA}) pro Einheitsbereich beträgt $0,08 \Omega \text{mm}^2$ bei einer Gatespannung von 5 V und einer Drainspannung von $0,1 \text{ V}$. Folglich ist der Durchlaßwiderstand auf ungefähr die Hälfte des Durchlaßwiderstands bei einem bekannten Lateral-DMOSFET mit gleicher Stehspannung reduziert.

Fig. 3A und 3B sind Querschnitte zur Darstellung entsprechender Strukturen der vorliegenden Erfindung zum Vergleich mit einem bekannten Lateral-DMOSFET. In den Zeichnungen ist ein p-Typ Substrat 1; ein p-Typ Wannenbereich 2; ein n-Typ Draindriftbereich 4; eine Gateoxidschicht 6; eine Gateelektrode 7; ein p-Typ Basisbereich 8; ein n-Typ Sourcebereich 9; ein p-Typ Kanalbereich 10 und n-Typ Drainbereich 11 dargestellt. Während die Draindriftlänge $A'B'$ unter einer dicken LOCOS-Oxidschicht 20 gleich $3 \mu\text{m}$ bei den bekannten Lateral-DMOSFET nach Fig. 3B ist, ist in dem Lateral-MOSFET mit hoher Stehspannung und einem Graben nach Fig. 3A der n-Typ Draindriftbereich 4 auf den Seiten- und Bodenflächen des Grabens 3 gebildet und die Draindriftlänge beträgt immer noch $AB + BC + BD = 3 \mu\text{m}$ entlang der Innenfläche des Grabens 3, so daß die Zellteilung für eine solche Einheit von $7,8 \mu\text{m}$ auf $4,9 \mu\text{m}$ reduziert werden kann. Da ein Strompfad an einem Endbereich des n-Typ Draindriftbereichs 4 auf Seiten des Sourcebereichs durch eine Verarmungsschicht im Durchlaßzustand des bekannten Lateral-DMOSFET nach Fig. 3B wegen dessen JFET-Struktur reduziert ist, ergibt sich eine laterale Diffusion bei dem Lateral-MOSFET mit hoher Stehspannung und einem Graben nach Fig. 4A durch die Seitenflächen des Grabens 3, so daß ein Strompfad des Seitenendbereichs des Sourcebereichs ausreichend gesichert ist, um den Durchlaßwiderstand gering zu machen.

Ein Verfahren zur Herstellung eines Lateral-MOSFET mit hoher Stehspannung und einem Graben nach Fig. 1 wird im folgenden beschrieben. Der p-Typ Wannenbereich 2 mit den üblichen Abmessungen für eine p-Typ Wanne eines logischen Bereichs ist auf der Oberflächenschicht des p-Typ Substrats 1 mit einem spezifischen Widerstand von $12,5 \Omega \text{cm}$ gebildet. Die Oberflächendichte dieses p-Typ Wannenbereichs 2 beträgt $1 \times 10^{15} \text{ cm}^{-3}$ und die Diffusionstiefe (x_j) beträgt $3 \mu\text{m}$. Der Graben 3 mit einer Breite von $1 \mu\text{m}$ und einer Tiefe von

1 μm wird in der Oberflächenschicht des p-Typ Wannenbereichs 2 durch eine Ph. toätztechnologie gebildet und ein n-dotiertes Polysilicium wird darauf aufgebracht. Anschließend werden n-Typ Verunreinigungen des dotierten Polysiliciums durch eine Wärmebehandlung von der Innenfläche des Grabens 3 eindiffundiert, so daß der n-Typ Draindriftbereich 4 mit einer Oberflächendichte von $9 \times 10^{16} \text{ cm}^{-3}$ und einer Diffusionstiefe x_j von ungefähr 1 μm gleichmäßig auf den Seiten- und Bodenflächen des Grabens 3 gebildet wird. Anschließend wird das Polysilicium geätzt und entfernt und in dem Graben 3 die Oxidschicht 5 angebracht. Der p-Typ Kanalbereich 10 wird über dem Bereich gebildet, in dem später der p-Typ Basisbereich 8 gebildet werden soll, so daß der p-Typ Kanalbereich 10 den Graben 3 erreicht. Dann wird eine Gateoxidschicht 6 mit einer Dicke von 20 nm gebildet und auf dieser Polysilicium zur Bildung der Gateelektrode 7 durch eine Photoätztechnologie aufgetragen. Das drainseitige Ende dieser Gateelektrode 7 erstreckt sich um 0,5 μm über den Graben 3. Der p-Typ Basisbereich 8 und der n-Typ Sourcebereich 9 sind in der Oberflächenschicht des p-Typ Wannenbereichs 2 durch Selbstjustierung des anderen Endbereichs der Gateelektrode 7 gebildet. Gleichzeitig mit der Bildung des n-Typs Sourcebereichs 9 wird der n-Typ Drainbereich 11 in der Oberflächenschicht des p-Typ Wannenbereichs 2 gegenüberliegend bezüglich des Grabens 3 zum n-Typ Sourcebereichs 9 gebildet. Der n-Typ Sourcebereich 9 und der n-Typ Drainbereich 11 können erforderlichenfalls auch getrennt gebildet werden. Schließlich werden die Sourceelektrode 14 und die Drain elektrode 15 auf der Oberfläche des n-Typs Sourcebereichs 9 und auf der Oberfläche n-Typ Drainbereichs 11 entsprechend aufgetragen. Es werden keine schwierigen Verfahrensschritte angewandt, wenn nur der Schritt zur Bildung des Grabens 3 und der Schritt zum Auffüllen der isolierenden Schicht 5 dem bekannten Verfahren zur Herstellung eines Lateralen-DMOS-FET hinzugefügt werden.

Fig. 4 ist ein Querschnitt eines Hauptbereichs eines Lateral-MOSFETs mit einem Graben gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Ein p-Typ Wannenbereich 2 ist in einer Oberflächenschicht eines p-Typ Substrats 1 gebildet. Ein Graben 3 mit einer Breite mit 1 μm und einer Tiefe von 1 μm ist in der Oberflächenschicht des p-Typ Wannenbereichs 2 gebildet. Ein n-Typ Draindriftbereich 4 ist auf den Seiten- und Bodenflächen des Grabens 3 gebildet, welcher mit einer isolierenden Schicht 5 aufgefüllt ist. Im Unterschied zum ersten Ausführungsbeispiel nach Fig. 1 ist der p-Typ Basisbereich 8 nicht vorgesehen. In gleicher Weise wie beim ersten Ausführungsbeispiel ist eine Gateelektrode 7 aus Polysilicium auf der Oberfläche einer Halbleiterschicht mit einer zwischen angeordneten Gateoxidschicht 6 so aufgetragen, daß sie von Seiten des n-Typs Sourcebereichs 9 und 0,5 μm über den Graben 3 vorsteht. Auch bei diesem Lateral-MOSFET mit hoher Stehspannung und einem Graben, können die hohe Stehspannung und ein niedriger Durchlaßwiderstand in gleicher Weise wie beim ersten Ausführungsbeispiel erhalten werden, wenn die Werte der Dichte und die Diffusionstiefe von Verunreinigungen des p-Typ Wannenbereichs 2 und des p-Typ Kanalbereichs 10 passend gewählt sind.

Fig. 5 ist ein Querschnitt durch einen Hauptbereich eines Lateral-MOSFET mit einem Graben gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung. Ein n-Typ Wannenbereich 22 ist mit üblichen

Ausmessungen für ein n-Typ Wanne eines Logikbereichs in einer Oberflächenschicht eines p-Typ Substrats 1 mit einem spezifischen Widerstand von 12,5 Ωcm gebildet. Die Oberflächendichte dieses n-Typ Wannenbereichs 22 beträgt $3 \times 10^{16} \text{ cm}^{-3}$ und die Diffusionstiefe (x_j) ist gleich 4 μm . Ein p-Typ Basisbereich 8 und n-Typ Sourcebereich 9 sind in einer Oberflächenschicht des n-Typ Wannenbereichs 22 selbstjustierend durch Doppeldiffusion gebildet. Ein Graben 3 mit einer Breite 10 gleich 1 μm einer Tiefe gleich 1 μm ist in der Oberflächenschicht des n-Typ Wannenbereichs 22 in einem geringen Abstand vom p-Typ Basisbereich 8 gebildet. Ein n-Typ Draindriftbereich 4 ist in den Seiten- und Bodenflächen des Grabens 3 gebildet, welcher mit einer isolierenden Schicht 5 aufgefüllt ist. Eine Diffusion in die Seiten- und Bodenflächen des Grabens 3 erfolgt gleichmäßig mit einer Oberflächendichte von $9 \times 10^{16} \text{ cm}^{-3}$ und einer Diffusionstiefe x_j von ungefähr 1 μm . Eine Gateelektrode 7 aus Polysilicium ist auf der Oberfläche des p-Typ Basisbereichs 8 und des n-Typ Draindriftbereichs 4 über einer dazwischen angeordneten Gateoxidschicht 6 angeordnet, so daß die Gateelektrode 7 von Seiten des n-Typ Sourcebereichs 9 um 0,5 μm über den Graben 3 vorsteht. Ein p-Typ Kanalbereich 10 ist auf Oberflächensichten des p-Typ Basisbereichs 8 und n-Typ Draindriftbereichs 4 direkt unter der Gateelektrode 7 gebildet. Ein n-Typ Drainbereich 11 ist in einer Oberflächenschicht des p-Typ Wannenbereichs 22 gegenüberliegend bezüglich des Grabens 3 zu dem p-Typ Basisbereich 8 angeordnet und eine Drain elektrode 15 kontaktiert den n-Typ Drainbereich 11. Eine Sourceelektrode 14 steht in Kontakt mit der Oberfläche des n-Typ Sourcebereichs 9. Auch bei diesem Lateral-MOSFET mit Graben kann eine hohe Stehspannung und ein geringer Durchlaßwiderstand in gleicher Weise wie beim ersten Ausführungsbeispiel erreicht werden, wenn die Werte für Dichte und Diffusionstiefe der Verunreinigungen des p-Typ Basisbereichs 8 und des p-Typ Kanalbereichs 10 passend gewählt werden.

Fig. 6 zeigt einen Querschnitt eines Hauptbereichs eines Lateral-MOSFET mit hoher Stehspannung und einem Graben gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung. Ein n-Typ Wannenbereich 22 mit üblichen Abmessungen für eine n-Typ Wanne eines Logikbereichs ist ein p-Typ Substrat 1 mit einem spezifischen Widerstand von 12,5 Ωcm gebildet die Oberflächendichte dieses n-Typ Wannenbereichs 22 beträgt $3 \times 10^{16} \text{ cm}^{-3}$ und die Diffusionstiefe x_j ist gleich 4 μm . Ein Graben 23 mit einer Breite von 1 μm und einer Tiefe von 1 μm ist in der Oberflächenschicht des n-Typ Wannenbereichs 22 angeordnet. Nach Auftragen von p-dotiertem Polysilicium im Graben 3 wird das dotierte Polysilicium durch Wärmebehandlung in das Si-Substrat diffundiert. In den Seiten- und Bodenflächen des Grabens 3 verfolgt die Diffusion gleichmäßig mit einer Oberflächendichte von $1 \times 10^{17} \text{ cm}^{-3}$ und einer Diffusionstiefe x_j von ungefähr 1,0 μm durch die Wärmebehandlung, nachdem p-dotiertes Silicium aufgetragen wurde, um dadurch einen p-Typ Draindriftbereich 24 zu bilden. Anschließend wird das dotierte Silicium aus dem Graben 3 entfernt und in diesen eine isolierende Schicht 5 eingebracht. Dann wird eine Gateoxidschicht 6 mit einer Dicke von 20 nm und eine Gateelektrode 7 gebildet. Die Gateelektrode 7 besteht aus Polysilicium und ihr drainseitiges Ende steht über dem Graben 3 um 0,5 μm vor. Ein n-Typ Basisbereich 28 und p-Typ Sourcebereich 29 sind in der Oberflächenschicht des n-Typ Wannenbereichs 22 durch Selbstjustierung des anderen

Endbereichs der Gateelektrode 7 gebildet. Ein n-Kanalbereich 33 zum Justieren der Schwellwertspannung ist ebenfalls in der Oberflächenschicht des n-Typ Wannenbereichs 2 gebildet. Ein p-Typ Drainbereich 31 wird in einer Oberflächenschicht des n-Typ Grabenbereichs 22 relativ zum Graben 3 gegenüberliegend zum n-Typ Basisbereich 28 gebildet und eine Drain elektrode 15 kontaktiert den p-Typ Drainbereich 31. Eine Sourceelektrode 14 kontaktiert die Oberfläche des p-Typ Sourcebereichs 29. Dieses Ausführungsbeispiel ist von symmetrischen Leitfähigkeits typ im Vergleich zum ersten Ausführungsbeispiel nach Fig. 1, außer im Hinblick auf das p-Typ Substrat 1. Aus dem gleichen Grund wie beim ersten Ausführungsbeispiel kann die verschlechterte Charakteristik der Stehspannung und des Durchlaßwiderstandes auch bei diesem Ausführungsbeispiel erheblich verbessert werden.

Fig. 7 zeigt einen Querschnitt eines Hauptbereichs eines Lateral-MOSFET mit hoher Stehspannung und einem Graben gemäß einem Ausführungsbeispiel der vorliegenden Erfindung. Ein p-Typ Wannenbereich 2 ist in einer Oberflächenschicht eines p-Typ Substrat 1 gebildet. Ein Graben 3 mit einer Breite von 1 μm einer Tiefe von 1 μm ist in der Oberflächenschicht des p-Typ Wannenbereichs 2 angeordnet. Ein n-Typ Drain driftbereich 4 ist in den Seiten- und Bodenflächen des Grabens 3 gebildet. Dieses Ausführungsbeispiel unterscheidet sich von dem ersten Ausführungsbeispiel nach Fig. 1, indem eine semi-isolierende Schicht 17 bestehend aus Polysilicium mit hohem Widerstand in den Graben 3 eingefüllt ist. In gleicher Weise wie beim ersten Ausführungsbeispiel ist eine Gateelektrode 7 aus Polysilicium auf der Oberfläche eines p-Typ Basisbereichs 8 und des n-Typ Drain driftbereichs 4 durch Zwischenanordnung einer Gateoxidschicht 6 aufgetragen und steht um 0,5 μm über den Graben 3 von Seiten eines n-Typ Sourcebereichs 9 über. Weiterhin sind ein p-Typ Kanalbereich 10 und n-Typ Drainbereich 11 vorgesehen. Da ein elektrisches Feld über die semi-isolierende Schicht 17 im Graben 3 bei diesem Lateral-MOSFET mit Graben verteilt ist, kann die Stehspannung sehr hoch gemacht werden.

Fig. 8 zeigt einen Querschnitt eines Hauptbereichs eines Lateral-MOSFETs mit hoher Stehspannung und einem Graben gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung. Ein p-Typ Wannenbereich 2 ist in einer Oberflächenschicht eines p-Typ Substrats 1 gebildet. Ein Graben 3 mit einer Breite von 1 μm und einer Tiefe von 3 μm ist der Oberflächenschicht des p-Typ Wannenbereichs 2 gebildet. Auf den Seiten- und Bodenflächen des Grabens 3 ist ein n-Typ Drain driftbereich 4 gebildet. Eine isolierende Schicht 5 ist in dem Graben 3 eingefüllt. In diesem Fall ist allerdings die Diffusionstiefe des p-Typ Wannenbereichs 2 gleich 4 μm oder größer. Dieses Ausführungsbeispiel unterscheidet sich vom ersten Ausführungsbeispiel nach Fig. 1 darin, daß die Tiefe des Grabens 3 größer als dessen Breite ist. In gleicher Weise wie beim ersten Ausführungsbeispiel ist eine Gateelektrode 7 aus Polysilicium auf der Oberfläche eines p-Typ Basisbereichs 8 und des n-Typ Drain driftbereichs 4 unter Zwischenanordnung einer Gateoxidschicht 6 aufgetragen, wobei sie um 0,5 μm von Seiten eines n-Typ Sourcebereichs 9 über den Graben 3 vorsteht. Weiterhin sind ein p-Typ Kanalbereich 10 und ein n-Typ Drainbereich 11 vorgesehen. Bei diesem Lateral-MOSFET mit hoher Stehspannung und Graben ist die Drain driftlänge erhöht und die Stehspannung verbessert. Da die Zellteilung bei

dieser Einheit nicht erhöht ist, kann der Durchlaßwiderstand in hohem Maße im Vergleich zu einem Lateral-DMOSFET mit gleicher Stehspannung reduziert werden. Auch wenn bei diesem Ausführungsbeispiel im Gegensatz zum Ausführungsbeispiel nach Fig. 1 der p-Typ Basisbereich 8 entfernt vom n-Typ Drain driftbereich 4 angeordnet ist, kann auch eine Struktur nach Fig. 1 vorgesehen werden.

Fig. 9 ist ein Querschnitt eines Hauptbereichs eines Lateral-MOSFET mit hoher Stehspannung und Graben gemäß einem siebten Ausführungsbeispiel der vorliegenden Erfindung. Ein p-Typ Wannenbereich 2 ist in einer Oberflächenschicht eines p-Typ Substrats 1 gebildet. Drei Gräben 3 von jeweils 1 μm Breite und 1 μm Tiefe sind in der Oberflächenschicht des p-Typ Wannenbereichs 2 gebildet. Auf den entsprechenden Seiten- und Bodenwänden der Gräben 3 sind n-Typ Drain driftbereiche 4 miteinander in Reihe verschaltet. Die isolierenden Schichten 5 sind in die entsprechenden Gräben 3 eingefüllt. Dieses Ausführungsbeispiel unterscheidet sich vom ersten Ausführungsbeispiel nach Fig. 1 darin, daß die Anzahl der Gräben 3 erhöht ist. In gleicher Weise wie beim ersten Ausführungsbeispiel ist eine Gateelektrode 7 aus Polysilicium auf der Oberfläche eines p-Typ Basisbereichs 8 und des n-Typ Drain driftbereichs 4 durch Zwischenanordnung einer Gateoxidschicht 6 aufgetragen und steht um 0,5 μm von Seiten eines n-Typ Sourcebereichs 9 über dem Graben 3 vor. Weiterhin ist ein p-Typ Kanalbereich 10 und n-Typ Drainbereich 11 vorgesehen. Bei diesem Lateral-MOSFET mit hoher Stehspannung und Graben ist die Drain driftlänge dreimal so groß wie bei Fig. 1, so daß die Stehspannung verbessert ist. Zusätzlich kann der Durchlaßwiderstand reduziert werden, da die Zellteilung der Einrichtung im Vergleich zu einem Lateral-DMOSFET mit gleicher Stehspannung genügend reduziert werden kann.

Fig. 10A bis 10C sind Querschnitte zur Darstellung eines Hauptbereichs mit Schritten zur Erläuterung eines ersten Verfahrens zur Herstellung eines Drain driftbereichs eines Lateral-MOSFETs mit Graben gemäß der vorliegenden Erfindung. Auch wenn die Beschreibung beim ersten Ausführungsbeispiel einfach war, so wird ein Photolack 13 auf einer Oxidschicht 12 aufgetragen und ein Fenster in der Oberfläche eines p-Typ Wannenbereichs 2 entsprechend zu einem Bereich geöffnet, in dem ein Graben 3 gebildet werden soll. Darauf folgend wird ein Graben 3 gebildet (Fig. 10A). Der Photolack 13 wird entfernt und eine dotierte Polysiliciumschicht 19, die Phosphor enthält, wird durch Dekompression-CVD-Verfahren aufgetragen (Fig. 10B). Darauf folgend wird der Phosphor in die Innenwand des Grabens 3 durch Wärmebehandlung aus der dotierten Polysiliciumschicht 19 hineindiffundiert, wodurch ein n-Typ Drain driftbereich 4 gebildet wird. Danach wird die dotierte Polysiliciumschicht 19 entfernt (Fig. 10C). Bei diesem Verfahren ist es möglich, die Dichte der Verunreinigung in dem n-Typ Drain driftbereich 4 entlang der Innenwand des Grabens 3 zu reduzieren, wodurch die Stehspannung höher wird.

Fig. 11A bis 11C sind Querschnitte zur Darstellung eines Hauptbereichs mit Schritten zur Erläuterung eines zweiten Verfahrens zur Bildung eines Drain driftbereichs eines Lateral-MOSFET mit Graben gemäß der vorliegenden Erfindung. In gleicher Weise wie bei dem Verfahren nach den Fig. 10, wird ein Photolack 13 auf einer Oxidschicht 12 aufgetragen und ein Fenster in der Oberfläche eines p-Typ Wannenbereichs 2 entsprechend zu einem Bereich geöffnet, in dem ein Graben 3

gebildet werden soll. Anschließend wird der Graben 3 gebildet (Fig. 11A). Der Photolack 13 zur Bildung des Grabens 3 wird nicht entfernt und Phosphorionen 18 werden schräg injiziert (Fig. 11B). Nach Entfernen des Photolacks 13 wird der Phosphor durch Wärmebehandlung diffundiert, um einen n-Typ Draindriftbereich 4 zu bilden (Fig. 11C). Bei diesem Verfahren tritt eine Fehlanordnung der Maske nicht auf, da die Photomaske zur Bildung des Grabens 3 auch zur Bildung des n-Typ Draindriftbereichs 4 verwendet wird. Weiterhin kann die Dichte der Verunreinigungen in n-Typ Draindriftbereich 4 in den Seitenflächen des Grabens 3 niedrig und in der Bodenfläche hoch sein, so daß die Konzentration eines elektrischen Feldes in oberen Bereichen der Seitenflächen des Grabens verringert ist und der Durchlaßwiderstand reduziert werden kann.

Fig. 12A bis 12C zeigen Querschnitte eines Hauptbereichs mit Schritten zur Erläuterung eines dritten Verfahrens zur Bildung eines Draindriftbereichs eines Lateral-MOSFET mit Graben gemäß der vorliegenden Erfindung. Zuerst, nach Bilden einer dünnen Oxydschicht 12 auf der Oberfläche eines p-Typ Wannenbereichs 2, wird ein Muster eines Photolacks 13 aufgetragen. Dann werden Phosphorionen 18 zur Bildung eines n-Typ Draindriftbereichs injiziert (Fig. 12A). Nach Entfernen des Photolacks 13 wird der Phosphor durch Wärmebehandlung diffundiert, um einen n-Typ Draindriftbereich 4 zu bilden (Fig. 12B). Dann wird ein Photolack 13 nochmals aufgetragen und ein Muster zur Bildung eines Grabens gebildet. Anschließend wird ein Graben 3 hergestellt (Fig. 12C). Bei diesem Verfahren kann die Dichte der Verunreinigungen im n-Typ Draindriftbereich 4 entlang des Bodenbereichs des Grabens 3 gering sein, wodurch die Stehspannung hoch wird.

Wie oben beschrieben wurde, ist es bei einem Lateral-MOSFET mit hoher Stehspannung und Graben gemäß der vorliegenden Erfindung möglich, da ein Graben gebildet ist und ein Draindriftbereich auf den Seiten- und Bodenflächen des Grabens gebildet wird, die verschlechterte Charakteristik der Stehspannung und des Durchlaßwiderstandes beträchtlich zu verbessern. Zätsätzlich, da der für den Draindriftbereich erforderliche Bereich verkleinert ist, ist eine Verminderung der Chipgröße möglich, so daß die theoretische Anzahl von Chips pro Wafer bei Verwendung des Lateral-MOSFET mit hoher Stehspannung und Graben gemäß der vorliegenden Erfindung als separate Einheit erhöht werden kann, während im Falle bei einer Verwendung in einer integrierten Schaltung der MOSFET hoch integrierbar ist. Da die Anzahl der Schritte zur Bildung eines Grabens nicht groß ist, können die Kosten insgesamt vermindert werden. Weiterhin ist es möglich, den Leistungsverbrauch einer Halbleitereinrichtung zu vermindern, so daß eine solche Halbleitereinrichtung einfach in einem tragbaren elektronischen Gerät oder dergleichen einsetzbar ist.

In der vorangehenden Beschreibung wurden bevorzugte Ausführungsbeispiele der Erfindung zum Zwecke der Darstellung und Beschreibung erläutert. Dies ist nicht erschöpfend oder zur Begrenzung der Erfindung auf die offbarten, genauen Darstellungen gemeint und Modifikation und Variationen sind möglich im Rahmen der oben beschriebenen Lehre und können beim Praktizieren der Erfindung erhalten werden. Die Ausführungsbeispiele wurden ausgewählt und beschrieben zur Erläuterung der Prinzipien der Erfindung und deren praktischer Anwendung, um einen Fachmann in die Lage zu versetzen, die Erfindung in verschiedenen Ausführungenbeispielen und mit verschiedenen Modifikationen, die bei einer bestimmten Verwendung angemessen sind, zu verwenden. Es ist beabsichtigt, daß der Schutzmfang der Erfindung durch die beiliegenden Ansprüche und deren Äquivalente bestimmt ist.

Patentansprüche

1. Ein Lateral-MOSFET mit hoher Stehspannung und Graben, welcher aufweist:
 - eine Halbleiterschicht von einem ersten Leitfähigkeitsstyp;
 - einen Sourcebereich von einem zweiten Leitfähigkeitsstyp;
 - einen Draindriftbereich vom zweiten Leitfähigkeitsstyp, wobei der Sourcebereich vom zweiten Leitfähigkeitsstyp und der Draindriftbereich vom zweiten Leitfähigkeitsstyp in einem Bereich einer Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsstyp beabstandet voneinander gebildet sind;
 - einen in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp von dessen Oberseite her gebildeten Graben;
 - einen Drainbereich vom zweiten Leitfähigkeitsstyp, welcher in der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsstyp gegenüberliegend zum Sourcebereich vom zweiten Leitfähigkeitsstyp relativ zum Graben gebildet ist und teilweise den Draindriftbereich vom zweiten Leitfähigkeitsstyp überlappt;
 - eine auf der Oberfläche eines oberflächlich freigelegten Bereichs der Halbleiterschicht vom ersten Leitfähigkeitsstyp mit zwischenangeordneter Gateoxidschicht gebildete Gateelektrode;
 - eine auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitsstyp vorgesehene Sourceelektrode; und eine auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitsstyp vorgesehene Drainelektrode.
2. Ein Lateral-MOSFET mit hoher Stehspannung und Graben, welcher aufweist:
 - eine Halbleiterschicht vom ersten Leitfähigkeitsstyp;
 - einen Basisbereich vom ersten Leitfähigkeitsstyp, welcher in einem Bereich einer Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsstyp gebildet ist;
 - einen Sourcebereich vom zweiten Leitfähigkeitsstyp, welcher selbstjustierend in einem Bereich einer Oberflächenschicht des Basisbereichs vom ersten Leitfähigkeitsstyp gebildet ist;
 - einen Draindriftbereich vom zweiten Leitfähigkeitsstyp, welcher in einem Bereich der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsstyp gebildet ist;
 - einen in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp von dessen Oberfläche her gebildeten Graben;
 - einen Drainbereich vom zweiten Leitfähigkeitsstyp, welcher in der Oberflächenschicht der Halbleiterschicht vom ersten Leitfähigkeitsstyp gegenüberliegend zum Basisbereich vom ersten Leitfähigkeitsstyp relativ zum Graben gebildet ist und den Draindriftbereich vom zweiten Leitfähigkeitsstyp teilweise überlappt;
 - eine Gateoxidschicht;
 - eine auf der Oberfläche eines oberflächlich freigelegten Bereichs der Halbleiterschicht vom ersten Leitfähigkeitsstyp vorgesehene Gateelektrode.

legten Bereichs des Basisbereichs vom ersten Leitfähigkeitstyp über der Gateoxidschicht gebildete Gateelektrode;

eine auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitstyp gebildete Sourceelektrode; und

eine auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitstyp gebildete Drainelektrode.

3. Lateral-MOSFET mit hoher Stehspannung und Graben, welcher aufweist:

eine Halbleiterschicht vom zweiten Leitfähigkeitsstyp;

einen Basisbereich vom ersten Leitfähigkeitsstyp, welcher in einem Bereich einer Oberflächenschicht der Halbleiterschicht vom zweiten Leitfähigkeitsstyp gebildet ist;

einen Sourcebereich vom zweiten Leitfähigkeitsstyp, welcher selbstjustierend in einem Bereich einer Oberflächenschicht des Basisbereichs vom ersten Leitfähigkeitsstyp gebildet ist;

einen Draindriftbereich vom zweiten Leitfähigkeitsstyp, welcher einem Bereich der Oberflächenschicht der Halbleiterschicht vom zweiten Leitfähigkeitsstyp gebildet ist;

einen in einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp von dessen Oberfläche gebildeten Graben;

einen Drainbereich vom zweiten Leitfähigkeitsstyp, welcher in der Oberflächenschicht der Halbleiterschicht vom zweiten Leitfähigkeitsstyp gegenüberliegend zum Basisbereich vom ersten Leitfähigkeitsstyp relativ zum Graben gebildet ist und teilweise mit dem Draindriftbereich vom zweiten Leitfähigkeitsstyp überlappt;

eine Gateelektrode, welche auf der Oberfläche eines oberflächlich freigelegten Bereichs des Basisbereichs vom ersten Leitfähigkeitsstyp über einer Gateoxidschicht gebildet ist;

eine auf der Oberfläche des Sourcebereichs vom zweiten Leitfähigkeitstyp gebildete Sourceelektrode; und

eine auf der Oberfläche des Drainbereichs vom zweiten Leitfähigkeitstyp gebildete Drainelektrode.

4. Lateral-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß ein Kanalbereich vom ersten Leitfähigkeitsstyp in einer Oberflächenschicht direkt unter der Gateelektrode zwischen dem Sourcebereich vom zweiten Leitfähigkeitsstyp und dem Graben gebildet ist.

5. Lateral-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß eine isolierende Schicht in dem Graben eingefüllt ist.

6. Lateral-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß eine semi-isolierende Schicht in dem Graben eingefüllt ist.

7. Lateral-MOSFET nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß die Gateelektrode über den Graben verlängert ist.

8. Lateral-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Tiefe des Grabens größer als dessen Breite ist.

9. Lateral-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß eine Vielzahl von Gräben gebildet ist und eine Vielzahl von Draindriftbereichen vom zweiten Leitfähigkeitsstyp entlang innerer Wände der Gräben in Reihe ver-

schaltet sind.

10. Verfahren zur Herstellung eines Lateral-MOSFET mit hoher Stehspannung und Graben nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß nach Bilden eines Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht Polysilicium mit Verunreinigungen in den Graben eingebracht wird und ein Draindriftbereich vom zweiten Leitfähigkeitsstyp durch Diffusion der Verunreinigungen aus dem Polysilicium gebildet wird.

11. Verfahren zur Herstellung eines Lateral-MOSFET mit hoher Stehspannung und Graben nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß nach Bilden eines Grabens in einem Bereich einer Oberflächenschicht einer Halbleiterschicht ein Draindriftbereich vom zweiten Leitfähigkeitsstyp durch Injektion von Verunreinigungsionen in schräger Richtung in Innenflächen des Grabens gebildet wird und anschließend eine Wärmebehandlung durchgeführt wird.

12. Verfahren zur Herstellung eines Lateral-MOSFET mit hoher Stehspannung und Graben nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß nach Bilden eines Draindriftbereichs vom zweiten Leitfähigkeitsstyp durch Einbringen von Verunreinigungen in einem Bereich einer Oberflächenschicht einer Halbleiterschicht und anschließend Wärmebehandlung ein Graben in einem Bereich einer Oberflächenschicht des Draindriftbereichs vom zweiten Leitfähigkeitsstyp gebildet wird.

Hierzu 10 Seite(n) Zeichnungen

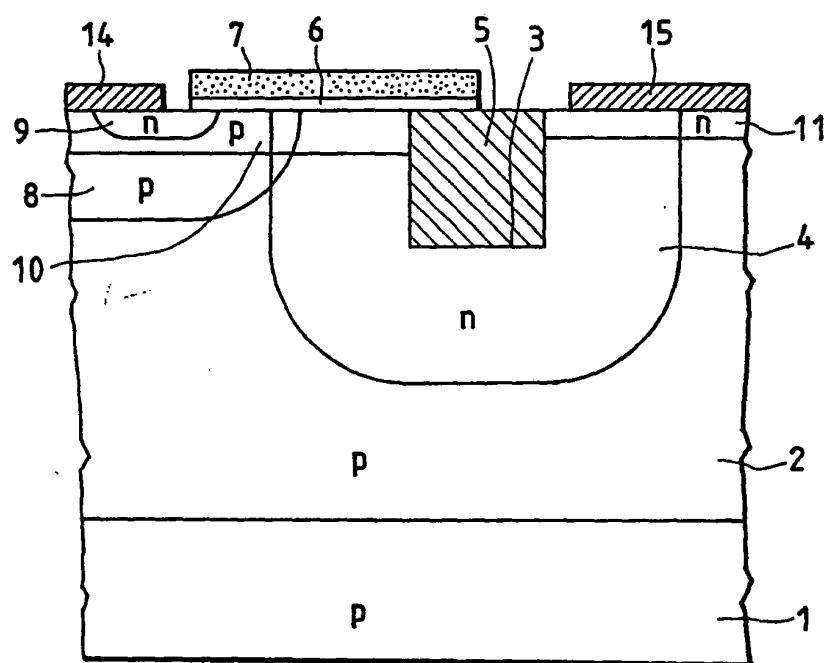
*
FIG. 1

FIG. 2

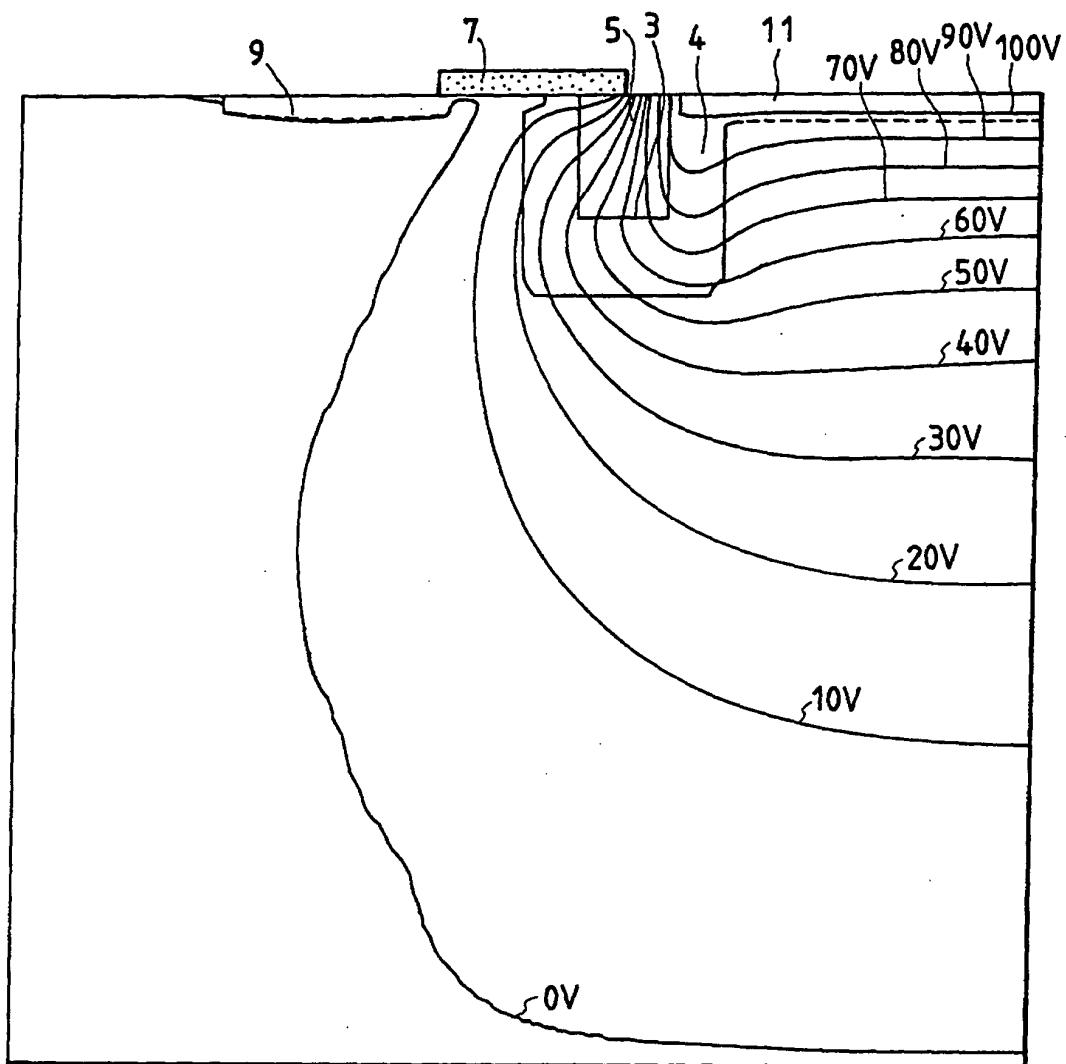


FIG. 3A

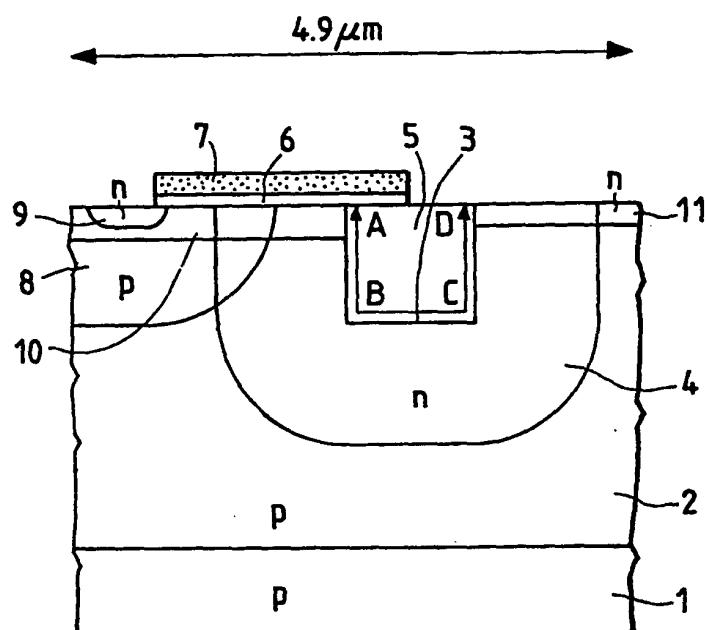


FIG. 3B

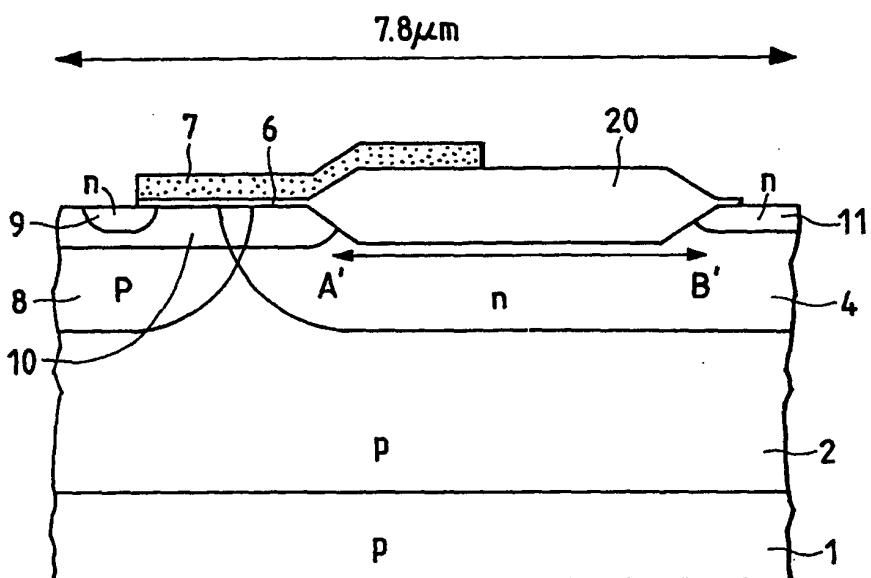


FIG. 4

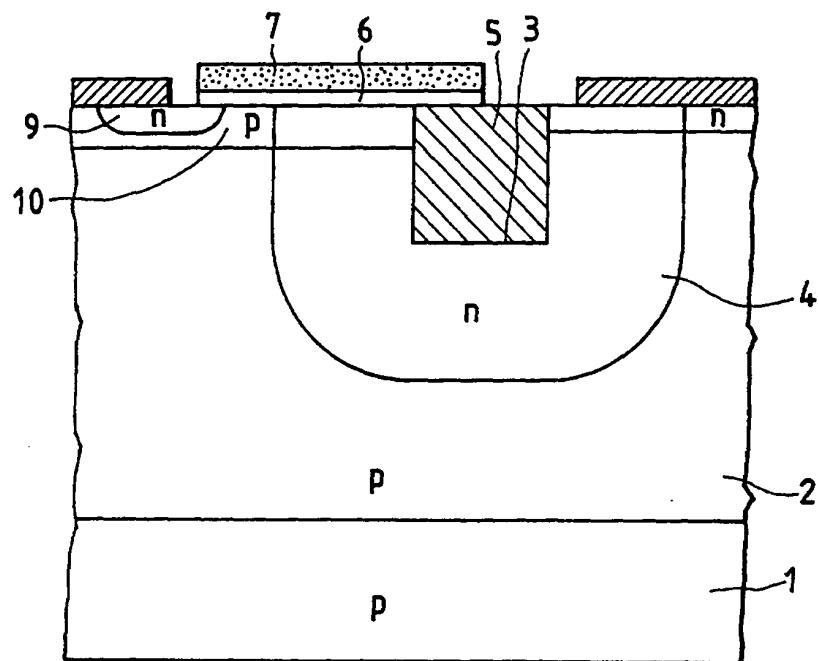


FIG. 5

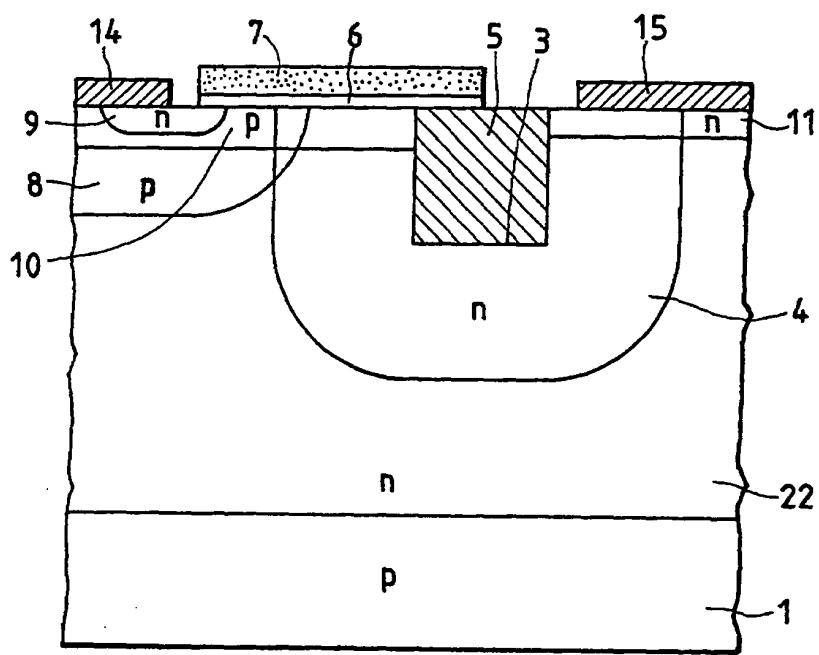


FIG. 6

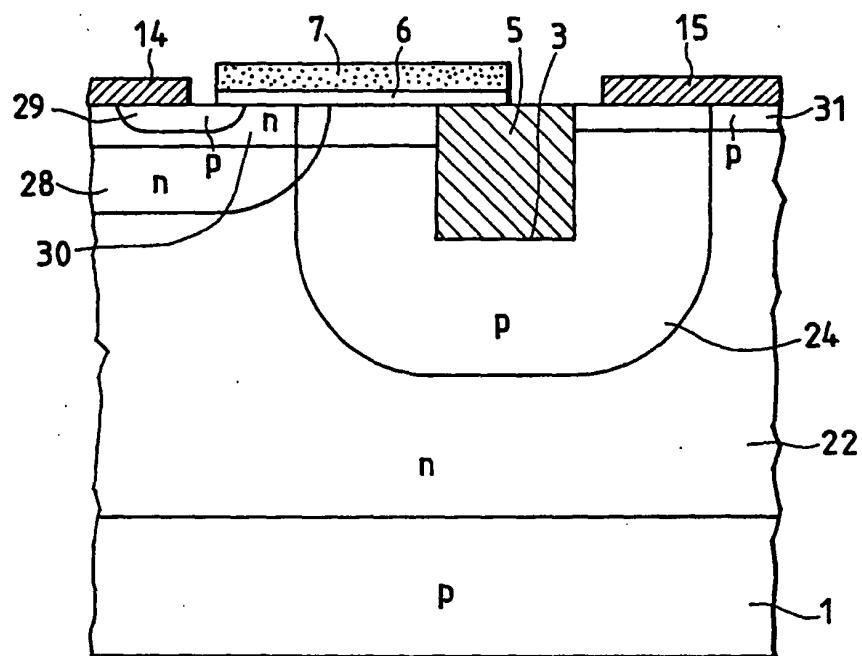


FIG. 7

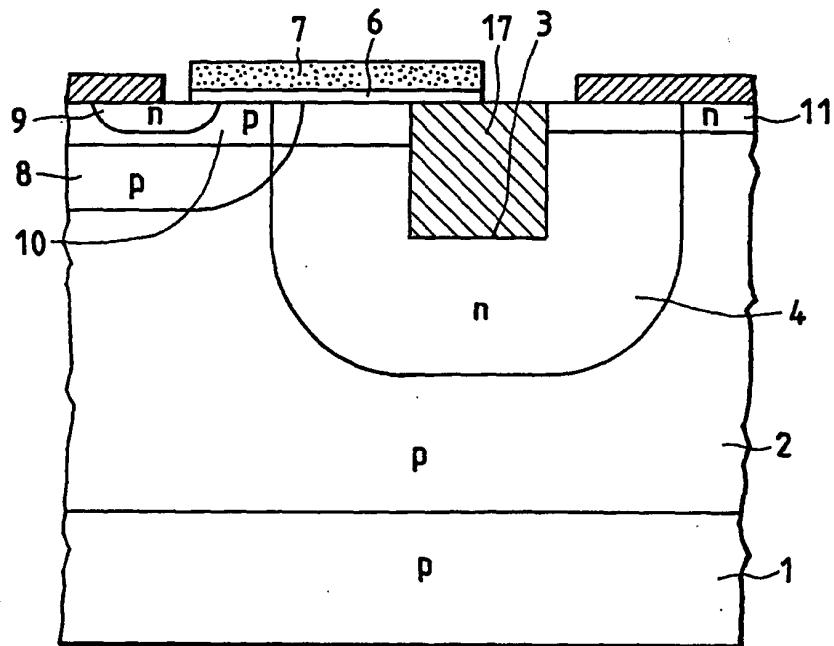


FIG. 8

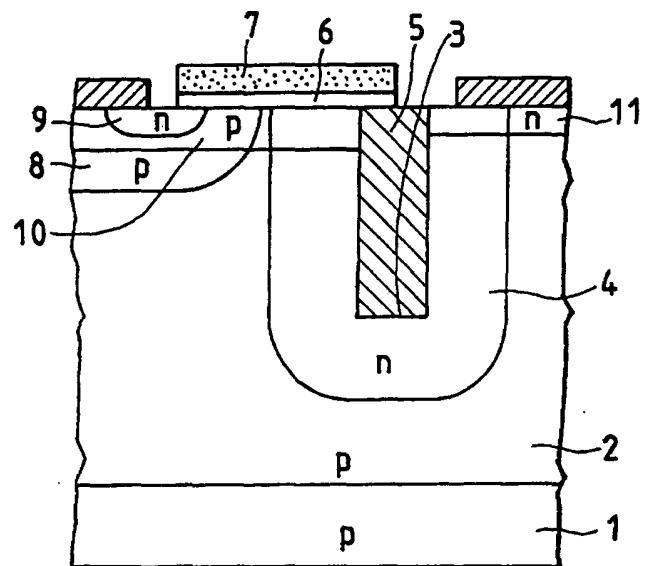


FIG. 9

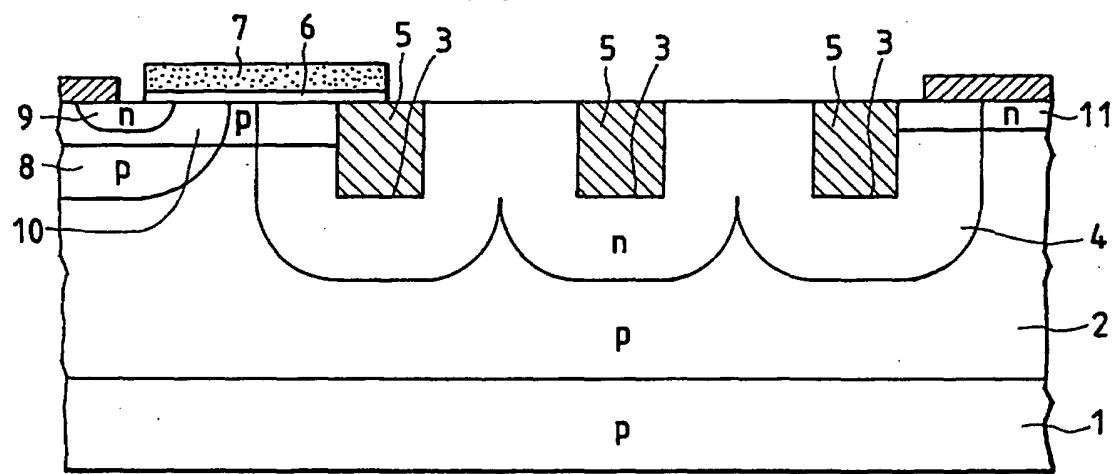


FIG. 10A

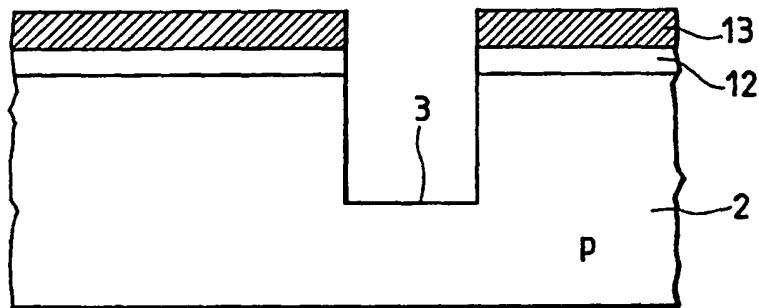


FIG. 10B

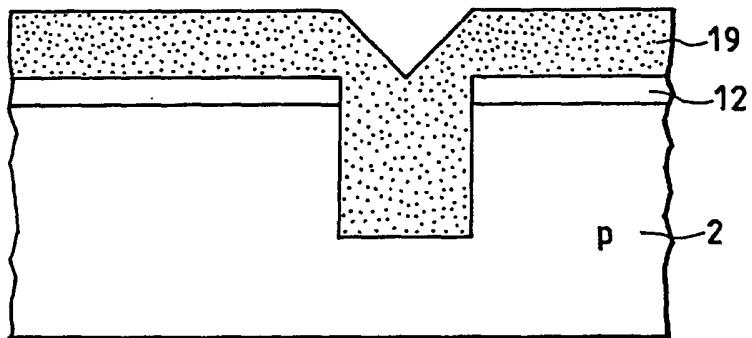


FIG. 10C

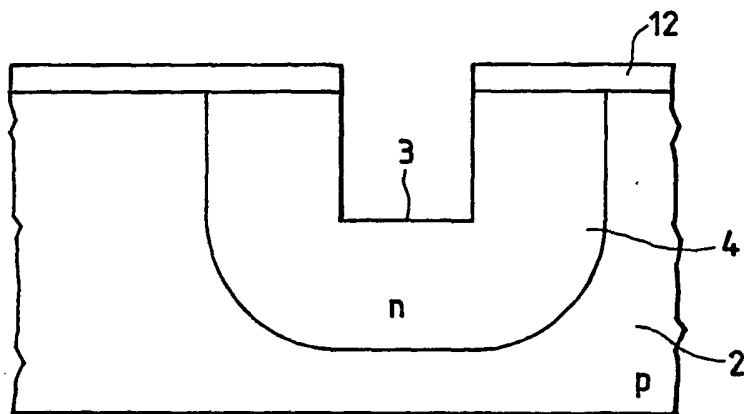


FIG. 11A

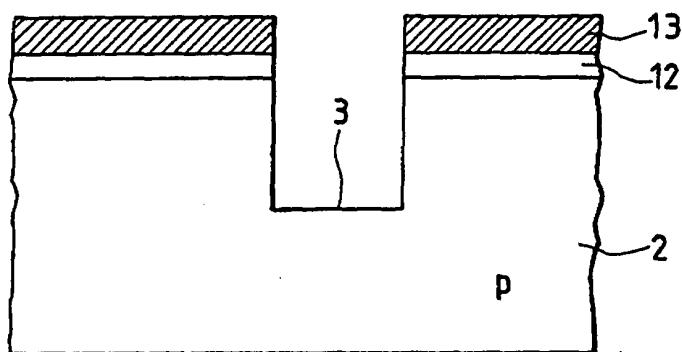


FIG. 11B

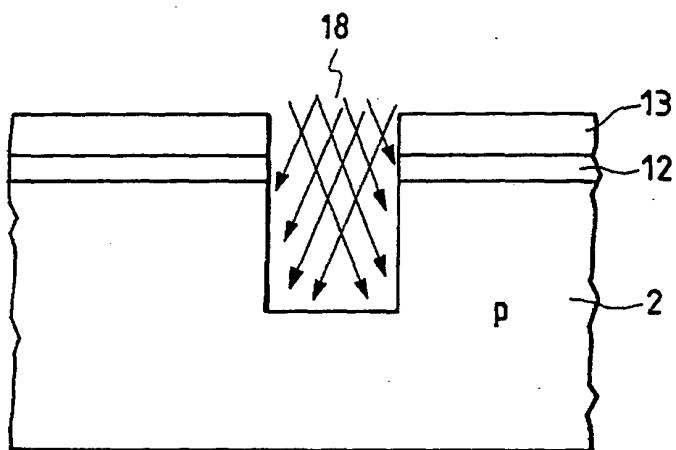


FIG. 11C

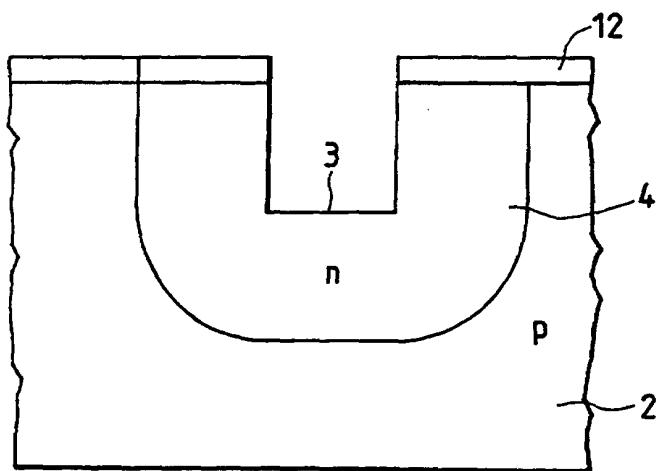


FIG. 12A

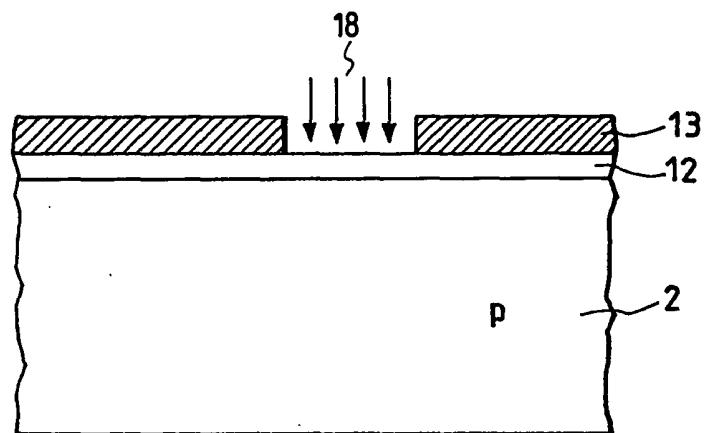


FIG. 12B

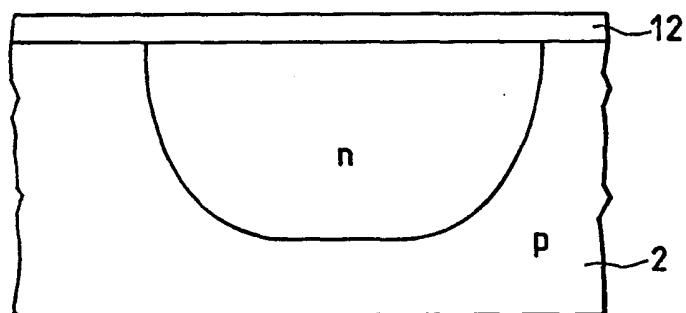


FIG. 12C

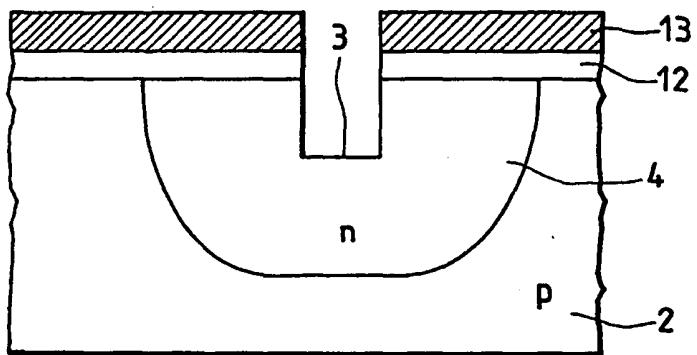


FIG. 13

